

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Naofumi NAKAMURA et al.
U.S. Serial No. : Not Yet Assigned
Filing Date : January 7, 2004
For : ***SEMICONDUCTOR DEVICE AND METHOD OF
FABRICATING THE SAME***
Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

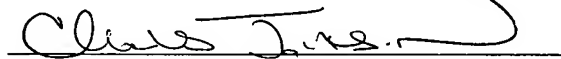
EXPRESS MAIL

Mailing Label Number: EV205872518US

Date of Deposit: January 7, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: **Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

CHARLES JARISON
(Typed or printed name of person mailing paper or fee)


(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant hereby claims priority under 35 U.S.C. §§119 and/or 120, from Japanese Application No. 2003-001486 filed January 7, 2003, a certified copy of which is enclosed.

Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By:


Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月 7日

出 願 番 号
Application Number:

特願2003-001486

[ST.10/C]:

[JP2003-001486]

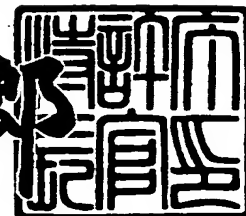
出 願 人
Applicant(s):

株式会社東芝

2003年 1月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3002832

【書類名】 特許願

【整理番号】 A000204155

【提出日】 平成15年 1月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/88

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 14

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 中村 直文

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 柴田 英毅

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

 【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 少なくとも 2 層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、前記ビア部にはその上下の配線部に含まれていない添加物が含まれていることを特徴とする半導体装置。

【請求項 2】 前記配線部には少なくとも 1 種類の添加物が含まれており、前記ビア部には前記配線部の添加物と同一のものを含む少なくとも 2 種類の添加物が含まれていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 少なくとも 2 層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、前記ビア部およびその上下の配線部に同一の添加物が含まれており、前記ビア部での添加物の濃度が前記配線部での添加物の濃度よりも高いことを特徴とする半導体装置。

【請求項 4】 少なくとも 2 層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、前記配線部には少なくとも 1 種類の添加物が含まれており、前記ビア部には前記配線部の添加物と同一のものを含む少なくとも 2 種類の添加物が含まれており、前記配線部およびビア部に共通に含まれる 1 種類の添加物に関しては前記ビア部での濃度が前記配線部での濃度よりも高いことを特徴とする半導体装置。

【請求項 5】 前記メタル配線材料は Cu であり、前記添加物は Sn、Rh、Zn、Al、Ru、Cr、Pd、In、Mg、Co、Zr、Ti、Ag、Ir、Ni、Ge、Nb、B、Hf のいずれかであることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】 前記メタル配線材料は Al であり、前記添加物は Cu、Si のいずれかであることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の半導体装置。

【請求項 7】 前記メタル配線材料は Ag であり、前記添加物は Cu である

ことを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の半導体装置。

【請求項 8】 半導体基板上の第 1 の絶縁膜層に形成された第 1 の配線溝の内部に第 1 のメタル配線材料が埋め込まれた第 1 のメタル配線と、

前記第 1 のメタル配線が埋め込まれた第 1 の絶縁膜層上に形成された第 2 の絶縁膜層と、

前記第 2 の絶縁膜層に形成されたビアホールの中に、前記第 1 のメタル配線材料と同一のメタル配線材料に対して第 1 のメタル配線材料には含まれていない所定の添加物が添加された第 2 のメタル配線材料が埋め込まれたビアと、

前記ビアが埋め込まれた第 2 の絶縁膜層上に形成された第 3 の絶縁膜層と、

前記第 3 の絶縁膜層に形成された第 2 の配線溝の中に、前記第 1 のメタル配線材料と同一のメタル配線材料が埋め込まれた第 2 のメタル配線

とを具備することを特徴とする半導体装置。

【請求項 9】 半導体基板上の第 1 の絶縁膜層に形成された第 1 の配線溝の内部に、添加物が添加されたメタル配線材料が埋め込まれた第 1 のメタル配線と、

前記第 1 のメタル配線が埋め込まれた第 1 の絶縁膜層上に形成された第 2 の絶縁膜層と、

前記第 2 の絶縁膜層に形成されたビアホールの中に、前記第 1 のメタル配線と同じ添加物が添加された第 2 のメタル配線材料が埋め込まれたビアと、

前記ビアが埋め込まれた第 2 の絶縁膜層上に形成された第 3 の絶縁膜層と、

前記第 3 の絶縁膜層に形成された第 2 の配線溝の中に、前記第 1 のメタル材料に前記第 1 のメタル配線と同じ添加物が添加された第 2 のメタル配線材料が埋め込まれた第 2 のメタル配線

とを具備し、前記ビアに対する添加物の添加量濃度が前記第 1 のメタル配線および第 2 のメタル配線に対する添加物のそれぞれの添加量濃度よりも高いことを特徴とする半導体装置。

【請求項 10】 請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置を製造する際、

前記各配線部と前記ビア部とを別工程で順に形成することを特徴とする半導体

装置の製造方法。

【請求項 1 1】 請求項 3 記載の半導体装置を製造する際、

前記ビア部とその上部の配線部とを同一工程で形成することを特徴とする半導体装置の製造方法。

【請求項 1 2】 前記配線部を形成する工程と前記ビア部を形成する工程は、それぞれ CVD 法、PVD 法、電解めっき法、無電解めっき法のうちの少なくとも 1 つを用いることを特徴する請求項 1 0 または 1 1 記載の半導体装置の製造方法。

【請求項 1 3】 前記配線部を形成する工程と前記ビア部を形成する工程は、互いに異なる方法を用いることを特徴する請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 4】 半導体基板上の第 1 の絶縁膜に形成された第 1 の配線溝の内部に第 1 のメタル配線材料を埋め込んで第 1 のメタル配線を形成する工程と、

前記第 1 のメタル配線が埋め込まれた第 1 の絶縁膜層上に第 2 の絶縁膜層を形成する工程と、

前記第 2 の絶縁膜にビアホールを形成する工程と、

前記ビアホールを含む第 2 の絶縁膜の上面全面に第 1 のバリアメタルを形成する工程と、

前記第 1 のバリアメタルの上面全面に、前記第 1 のメタル配線材料に対してそれには含まれていない所定の添加物が添加された第 2 のメタル配線材料からなる第 1 のメタル膜を形成する工程と、

前記第 1 のメタル膜および第 1 のバリアメタルのうちで前記ビアホールの内部以外の部分を除去してビアを残す工程と、

前記ビアが形成された第 2 の絶縁膜の上面全面に第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜に第 2 の配線溝を形成する工程と、

前記第 2 の配線溝を含む第 3 の絶縁膜の上面全面に第 2 のバリアメタルを形成する工程と、

前記第 2 のバリアメタルの上面全面に、前記第 1 のメタル配線材料と同一のメ

タル配線材料からなる第2のメタル膜を形成する工程と、

前記第2のメタル膜および第2のバリアメタルのうちで前記第3の絶縁膜の上面に堆積されている部分を除去することにより、前記第2の配線溝の内部に第2の配線を残す工程

とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に少なくとも2層の配線部およびその層間に形成されたビア(Via)部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置の配線構造および製造工程に関するもので、例えばダマシンプロセスで形成される低抵抗メタル配線に適用されるものである。

【0002】

【従来の技術】

2層以上の配線層を積層してビアにより層間配線を行う多層配線を有するLSIの製造に際して、溝配線(埋め込み配線)およびビアとして、低抵抗性および高信頼性の観点から、例えばダマシンプロセスを用いて低抵抗メタル配線(例えばCu配線)を形成することが実用化され始めている。

【0003】

図6(a)乃至(b)は、従来の多層メタル配線を有する半導体装置の製造プロセスにおける主要な工程での断面を示している。ここでは、デュアルダマシーン(Dual-Damascene)プロセスを用いて埋め込み型のメタル配線を形成する例について説明を行うものとし、素子分離構造並びにMOSFETの形成工程は図示を省略しており、埋め込み型の第1のCu配線を形成した後、同一のメタル配線材料を用いてビア部と第2のCu配線を形成する工程を図示している。

【0004】

まず、図6(a)に示すように、半導体基板上に堆積された第1の層間絶縁膜(例えばTEOS膜)61に第1の配線溝を形成し、バリアメタル(図示せず)を介して第1のCu配線62を埋め込む。

【 0 0 0 5 】

次に、全面にエッチングストッパー機能とCuの拡散防止機能とCuの酸化防止機能を有する拡散防止膜（例えばSiN膜）63および第2の層間絶縁膜64を順に堆積させる。

【 0 0 0 6 】

次に、第2の配線溝および層間接続孔（ビアホール）を開口し、ビアホールの底面部の拡散防止膜63をエッチング除去し、バリアメタル66を介してCuを埋め込むようにCu膜67を全面に堆積させる。この際、Cuの埋め込みおよび堆積は、例えばスパッタ法によるシードCuの形成およびメッキによるCuの埋め込み堆積により行う。

【 0 0 0 7 】

次に、熱処理を行った後、CMP法等を用いて、Cu膜67の平坦化を行うとともにビアホール内および第2の配線溝内にのみCu膜を残置させる。

【 0 0 0 8 】

しかし、従来のCuダマシン配線の製造工程においては、ビアの径が例えば0.18 μ m程度以下に小さくなると、前記Cuの埋め込み堆積後に熱処理を行った時、図6（b）に示すように、ビアの底部にストレスによってボイド（ビアの吸い上げ）68が発生するなどの信頼性上の問題があることが判明している。

【 0 0 0 9 】

また、ダマシンプロセスにおいて、例えばRIE（反応性イオンエッチング）を用いてビアホールを形成する際にホール底面の下層Cu配線にダメージが生じると、ビア形成時のCu埋め込み工程における熱処理に際して下層Cu配線内のボイドがホール底面に集結され、ホール底面のコンタクト抵抗が増大し、配線抵抗の増大をまねく。

【 0 0 1 0 】

なお、上記ビア形成時のCu埋め込み工程における熱処理は、スパッタによるシードCuの形成およびメッキによるCuの埋め込み堆積後に、エレクトロマイグレーションの信頼性を高めるためにCuのグレイン成長を行わせ、かつ、後工程のCMP（化学的機械研磨）を行い易くするために行う。

【 0 0 1 1 】

前記したようなパターン依存性を持つビアの吸い上げや配線抵抗の増大を抑制するために、ビア形成時のCu埋め込み工程における熱処理の条件（温度、時間の組み合わせ）の最適化を図ることが行われているが、実際上は最適値の設定は困難である。

【 0 0 1 2 】

一方、Cu配線中にCuとは異なるメタルを添加することにより、Cu配線中の原子が動き難くなり、エレクトロマイグレーション耐性が向上することが知られている。しかし、添加物を加えることによりCu配線の比抵抗が上昇する。

【 0 0 1 3 】

なお、特許文献1には、銅を配線主材料として用いる多層配線構造を有する半導体装置およびその製造方法における従来の問題と解決策が開示されている。

【 0 0 1 4 】

即ち、銅合金の抵抗率とエレクトロマイグレーション耐性がトレードオフの関係にあるので、長距離配線に要求される低抵抗性と、高密度配線におけるマイグレーション耐性を同時に満足することは難しいという問題がある。

【 0 0 1 5 】

この低抵抗性とエレクトロマイグレーション耐性を同時に満足させるために、下層に位置する下部配線層や中間配線層は銅合金から構成し、上層に位置する上部配線層や長距離配線層は純銅から構成する。あるいは、下層に位置する第1の配線層は銅合金から構成し、上層に位置する第2の配線層は、第1の配線層より添加物の組成比が低い銅合金から構成する。そして、前記第1もしくは第2の配線層と他の配線層を接続する接続部は、その添加物の組成比が、接続部に接続される上層の配線層における添加物の組成比以上の銅合金から構成する。

【 0 0 1 6 】

但し、ここでは、下層に位置する第1の配線層と上層に位置する第2の配線層とを同一の純銅あるいは同一の銅合金で構成する場合に両者間の接続部における銅での添加物の種類や添加量については詳細に言及されていない。

【 0 0 1 7 】

【特許文献 1】

特開平 9 - 2 8 9 2 1 4 号公報

【0 0 1 8】

【発明が解決しようとする課題】

上記したように従来の Cu 埋め込み配線を用いた多層配線の製造に際して、ビアの径が小さくなるとビアの吸い上げによる信頼性の低下および配線抵抗の増大をまねくという問題があった。

【0 0 1 9】

本発明は上記の問題点を解決すべくなされたもので、配線抵抗の上昇を抑えながらビアマイグレーションの信頼性の向上を図り得る半導体装置およびその製造方法を提供することを目的とする。

【0 0 2 0】

【課題を解決するための手段】

本発明の第 1 の態様に係る半導体装置は、少なくとも 2 層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、前記ビア部にはその上下の配線部に含まれていない添加物が含まれていることを特徴とする。

【0 0 2 1】

本発明の第 2 の態様に係る半導体装置は、少なくとも 2 層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、前記ビア部およびその上下の配線部に同一の添加物が含まれており、前記ビア部での添加物の濃度が前記配線部での添加物の濃度よりも高いことを特徴とする。

【0 0 2 2】

本発明の第 3 の態様に係る半導体装置は、少なくとも 2 層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、前記配線部には少なくとも 1 種類の添加物が含まれており、前記ビア部には前記配線部の添加物と同一のものを含む少なくとも 2 種類の添加物が含まれており、前記配線部およびビア部に共通に含まれる 1 種類の添加物

に関しては前記ビア部での濃度が前記配線部での濃度よりも高いことを特徴とする。

【 0 0 2 3 】

本発明の第 1 の態様に係る半導体装置の製造方法は、本発明の第 1 乃至第 3 の態様に係る半導体装置を製造する際、前記各配線部と前記ビア部とを別工程で順に形成することを特徴とする。

【 0 0 2 4 】

本発明の第 2 の態様に係る半導体装置の製造方法は、本発明の第 3 の態様に係る半導体装置を製造する際、前記ビア部とその上部の配線部とを同一工程で同時に形成することを特徴とする。

【 0 0 2 5 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 2 6 】

<第 1 の実施形態>

図 1 (a) 乃至図 2 (b) は、本発明の第 1 の実施形態に係る多層メタル配線を有する半導体装置の製造プロセスにおける主要な工程での断面を示している。

【 0 0 2 7 】

本例は、シングルダマシン (Single-Damascene) プロセスを用いて埋め込み型のメタル配線を形成する例について、素子分離構造並びに M O S F E T の形成工程は図示を省略しており、埋め込み型の第 1 の C u 配線を形成した後、同一のメタル配線材料を用いてビア部と第 2 の C u 配線を形成する工程を図示している。

【 0 0 2 8 】

まず、図 1 (a) に示すように、半導体基板上に堆積された第 1 の層間絶縁膜 (例えば T E O S 膜) 11 に第 1 の配線溝を形成し、バリアメタル (図示せず) を介して第 1 の C u 配線 12 を埋め込む。そして、全面にエッチングストッパー機能と C u の拡散防止機能と C u の酸化防止機能を有する第 1 の拡散防止膜 (例えば S i N 膜、S i C 膜など) 13 およびビアレイヤー相当の第 2 の層間絶縁膜 (例えば T E O S 膜) 14 を順に堆積させる。

【 0 0 2 9 】

次に、層間接続孔（ビアホール）を開口するために、レジスト（図示せず）を塗布してパターンニングし、それをマスクとする R I E を用いて第 2 の層間絶縁膜 14 にビアホール 15 を形成した後、前記レジストを除去する。

【 0 0 3 0 】

次に、ビアホール 15 の底面部の第 1 の拡散防止膜 13 をエッチング除去し、図 1 (b) に示すように、ビアレイヤー用の第 1 のバリアメタル (Via layer BM) 16 として、高融点金属膜（例えば T a 膜、T a N 膜あるいは T i N）をスパッタ法により全面に 20nm 程度堆積させ、さらに、ビアレイヤー用のシードメタル (Trench layer seed-Metal) として、C u 中に Sn を例えば 1 % 添加させた seed-CuSn (1%) 17a をスパッタ法により 60nm 程度堆積させる。この場合、C u 中に Sn を添加するためには、スパッタ法で使用するターゲットメタル中に Sn を添加することにより容易に実現することが可能である。なお、上記 Sn の添加量は、それによる配線抵抗の増加分の許容範囲内に定めるものとする。

【 0 0 3 1 】

次に、図 1 (c) に示すように、電解メッキ法によってビアホール内を含む第 2 の層間絶縁膜 14 の上面全面に約 400nm の C u 膜を堆積させた後、CMP 法等を用いて、C u 膜の平坦化を行うとともにビアホール 15 内にのみ C u 膜をビア 17 として残置させる。その後、ビア 17 および第 2 の層間絶縁膜 14 の上面全面に、エッチングストッパー機能と C u の拡散防止機能と C u の酸化防止機能を有する第 2 の拡散防止膜（例えば S i N 膜、S i C 膜）18 を堆積させる。

【 0 0 3 2 】

次に、図 2 (a) に示すように、第 2 のメタル配線を形成すべく配線間の絶縁膜として比誘電率の低い第 3 の層間絶縁膜 19 を堆積する。次に、レジスト（図示せず）を塗布してパターンニングし、それをマスクとする R I E を用いて、第 3 の層間絶縁膜 19 に第 2 の C u 配線を埋め込むための第 2 の配線溝 20 を形成する。

【 0 0 3 3 】

次に、第 2 の配線溝 20 の底面部の拡散防止膜 18 をエッチング除去し、トレンチレイヤーの第 2 のバリアメタル (Trench layer BM) 21 として、高融点金属膜（

例えばTa膜、TaN膜あるいはTiN膜)をスパッタ法により全面に堆積させ、さらに、トレンチレイヤーのシードメタル(Trench layer seed-Metal)22aとして、seed-Cuをスパッタ法により全面に堆積させる。このSeed-Cu中には、Snの添加は行わない。

【0034】

次に、電解メッキ法によってトレンチ内を含む第3の層間絶縁膜19の上面全面に約400nmのCu膜を堆積させる。その後、CMP法等を用いて、Cu膜の平坦化を行うとともに、図2(b)に示すように、トレンチ内にのみCu膜を第2のCu配線22として残置させる。

【0035】

その後、必要に応じて、拡散防止膜を堆積し、図2(a)乃至(b)を参照して前述した工程を繰り返すことにより、幾層もの多層配線を形成することが可能である。

【0036】

図3は、Cuに異種メタルの添加を行うことにより比抵抗が上昇する特性を異種メタル(Element)別に示している。

【0037】

図3から分かるように、Cu(比抵抗は約 $2\mu\Omega$)に添加する異種メタルの種類により比抵抗の上昇度合が変化し、比抵抗の大きさおよび実際の製造プロセスへの導入の容易さなどを総合的に勘案して使用する異種メタルを選択する。

【0038】

具体的には、配線材料がCuの場合には添加物として、図3に示されているSn、Rh、Zn、Al、Ru、Cr、Pd、In、Mg、Co、Zr、Ti、Ag、Ir、Ni、Ge及びその他にNb、B、Hfのなかのいずれかを用いるものとし、これらの中では、実施の容易性など総合的に勘案してSn、Rh、Znのいずれかを用いることが望ましい。

【0039】

即ち、第1の実施形態によれば、少なくとも2層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装

置において、ビア部17にはその上下の配線部12,22 に含まれていない添加物Snが含まれている。これにより、配線部12,22 の配線抵抗の上昇を抑えながらビア部17のマイグレーションの信頼性の向上を図ることができる。

【0040】

なお、メタル配線材料としてAlを用いる場合には、比抵抗の大きさおよび実際の製造プロセスへの導入の容易さなどを総合的に勘案して添加物はCu、Siのいずれかを用いることが望ましい。

【0041】

また、メタル配線材料としてAgを用いる場合には、比抵抗の大きさおよび実際の製造プロセスへの導入の容易さなどを総合的に勘案して添加物はCuを用いることが望ましい。

【0042】

また、本発明においては、前記配線部22を形成する際に、前記したダマシン法による埋め込み配線法に限らず、公知の選択ドライエッチング法など他の方法を用いて形成することも可能である。また、前記ビア部17や配線部22を形成する際に、前記したスパッタ法と電解メッキ法の組み合わせに限らず、段差被覆性が良い化学気相成長法(CVD)法、PVD法、電解メッキ法、無電解メッキ法を適切に組み合わせて用いることができる。

【0043】

<第2の実施形態>

前述した第1の実施形態では、配線部22を形成する際にダマシン法による埋め込み配線法を用いたが、第2の実施形態では、配線部22を形成する際に選択ドライエッチング法を用いる。この場合、配線部での添加物の濃度に比べてビア部での添加物の濃度を高くする。

【0044】

図4(a)乃至(b)は、本発明の第2の実施形態に係る多層メタル配線をする半導体装置の製造プロセスにおける主要な工程での断面を示している。

【0045】

本例においては、素子分離構造並びにMOSFETの形成工程は図示を省略し

ており、埋め込み型の第 1 の C u 配線を形成した後、同一のメタル配線材料を用いてビア部と第 2 の C u 配線を形成する工程を図示している。

【 0 0 4 6 】

まず、前述した第 1 の実施形態と同様に、図 1 (b) 乃至 (c) の工程を実施する。

【 0 0 4 7 】

次に、図 4 (a) に示すように、第 2 の拡散防止膜 18 の所望の部分に、後工程で形成される配線との導通をとるための開口部を形成する。この後、全面に第 2 のバリアメタル 21 として例えば T a 膜、T a N 膜あるいは T i N 膜をスパッタ法により全面に堆積させ、さらに、C u 膜 22 a をスパッタ法により堆積させる。この C u 膜 22 a 中には、S n の添加は行わない。さらに、第 3 のバリアメタル 23 を堆積させた後、通常のリソグラフィ技術と R I E 技術を用いて第 3 のバリアメタル 23、C u 膜 22 a、第 2 のバリアメタル 21 をパターンニングして、図 4 (b) に示すように、第 2 の C u 配線 22 を形成する。さらに、第 3 の層間絶縁膜 19 を堆積し、CMP を行い、第 2 の C u 配線 22 の上面を露呈させる。

【 0 0 4 8 】

その後、必要に応じて、拡散防止膜を堆積し、図 4 (a) 乃至 (b) を参照して前述した工程を繰り返すことにより、幾層もの多層配線を形成することが可能である。

【 0 0 4 9 】

< 第 3 の実施形態 >

前述した第 1 の実施形態および第 2 の実施形態では、シングルダマシン法による埋め込み配線法を用いたが、第 3 の実施形態では、デュアルダマシーン (Dual-Damascene) プロセスを用いて埋め込み型のメタル配線を形成する例を示す。この場合、配線部での添加物の濃度に比べてビア部での添加物の濃度を高くする。

【 0 0 5 0 】

図 5 (a) 乃至 (b) は、本発明の第 3 の実施形態に係る多層メタル配線を有する半導体装置の製造プロセスにおける主要な工程での断面を示している。

【 0 0 5 1 】

本例においては、素子分離構造並びにM O S F E Tの形成工程は図示を省略しており、埋め込み型の第1のC u配線を形成した後、同一のメタル配線材料を用いてビア部と第2のC u配線を形成する工程を図示している。

【 0 0 5 2 】

まず、前述した第1の実施形態と同様に、図1（a）に示す工程を実施した後、図5（a）に示すように、ビア・配線レイヤー相当の第2の層間絶縁膜（例えばT E O S膜）14aを堆積させる。

【 0 0 5 3 】

この後、デュアルダマシンプロセスを用いて、第2の層間絶縁膜14aにトレンチ（配線溝）51とその底面の所望の部分（前記第1のC u配線の上方）にビアホール15を形成する。

【 0 0 5 4 】

次に、ビアホール15の底面部の第1の拡散防止膜13をエッチング除去し、ビア・配線レイヤーの第1のバリアメタル52として例えばT a膜あるいはT a N膜をスパッタ法により全面に20nm程度堆積させ、さらに、ビア・配線レイヤーのシードメタルとして、seed-Cu53をスパッタ法により60nm程度堆積させる。この場合、seed-Cu53中には、Snの添加は行わない。

【 0 0 5 5 】

その後、異種金属を含んだC uの無電解メッキ法を用いてビアホール15内の中間高さ位置までC u54を堆積させる。この際、いわゆるボトムアップによる条件を用い、異種金属の添加は行わない。

【 0 0 5 6 】

次に、図5（b）に示すように、電解メッキ法によって、ビアホール15内およびトレンチ内を含む第2の層間絶縁膜14aの上面全面に約400nmのC u膜55を堆積させる。その後、CMP法等を用いて、C u膜55の平坦化を行うとともにビアホール15内およびトレンチ51内にのみC u膜を第2のC u配線として残置させる。

【 0 0 5 7 】

その後、必要に応じて、拡散防止膜を堆積し、図5（a）乃至（b）を参照し

て前述した工程を繰り返すことにより、幾層もの多層配線を形成することが可能である。

【 0 0 5 8 】

なお、本発明は上述したような各実施形態に限定されるものではなく、本発明の主旨を逸脱しない範囲で種々変形して実施できる。

【 0 0 5 9 】

即ち、本発明は、少なくとも2層の配線部およびその層間に形成されたビア部に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、以下のような実施形態(1)～(4)が可能である。

【 0 0 6 0 】

(1) ビア部には、上下の配線部に含まれていない添加物が含まれている。

(2) 配線部には少なくとも1種類の添加物が含まれており、ビア部には配線部の添加物と同一のものを含む少なくとも2種類の添加物が含まれている。

(3) ビア部およびその上下の配線部に同一の添加物がそれぞれ含まれており、ビア部での添加物の濃度が配線部での添加物の濃度よりも高い。

(4) 配線部には少なくとも1種類の添加物が含まれており、ビア部には配線部の添加物と同一のものを含む少なくとも2種類の添加物が含まれており、配線部およびビア部に共通に含まれる1種類の添加物に関してはビア部での濃度が前記配線部での濃度よりも高い。

上記(1)～(4)の半導体装置の製造方法として、各配線部とビア部とを別工程で順に形成する場合には、ダマシン法による埋め込み配線法を用いた例を示したが、配線部は公知の選択ドライエッチング法など他の方法を用いて形成することも可能である。また、前記(3)の半導体装置は、ビア部の添加物とその上部の配線部とを同一工程(例えばデュアルダマシンプロセス)で形成することも可能である。

【 0 0 6 1 】

これらの各製造方法において、配線部を形成する工程とビア部を形成する工程は、それぞれCVD法、PVD法、電解めっき法、無電解めっき法のうちの少なくとも1つを用いることができ、配線部を形成する工程とビア部を形成する工程

は互いに異なる方法を用いることも可能である。

【 0 0 6 2 】

【発明の効果】

上述したように本発明の半導体装置およびその製造方法によれば、配線抵抗の
上昇を抑えながらビアマイグレーションの信頼性の向上を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る多層メタル配線を有する半導体装
置の製造工程の一部を示す断面図。

【図 2】 図 1 の工程に続く工程を示す断面図。

【図 3】 Cu に異種メタルの添加を行うことにより比抵抗が上昇する特性
を異種メタル別に示す図。

【図 4】 本発明の第 2 の実施形態に係る多層メタル配線を有する半導体装
置の製造工程の一部を示す断面図。

【図 5】 本発明の第 3 の実施形態に係る多層メタル配線を有する半導体装
置の製造工程の一部を示す断面図。

【図 6】 従来の多層メタル配線を有する半導体装置の製造工程の一部を示
す断面図。

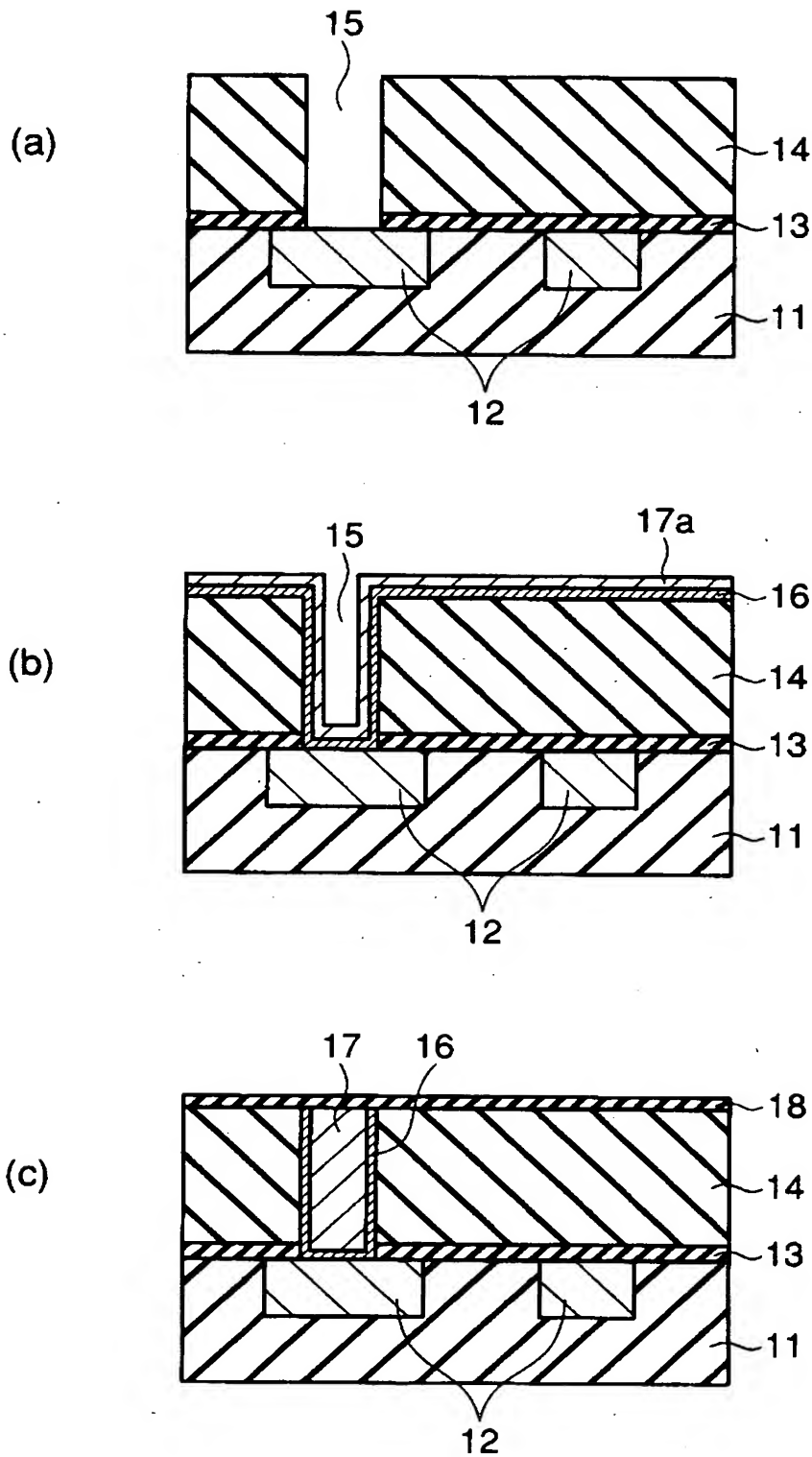
【符号の説明】

11…第 1 の層間絶縁膜、12…第 1 の Cu 配線、13…第 1 の拡散防止膜、14…第 2
の層間絶縁膜、16…第 1 のバリアメタル、17…ビア (Cu)、18…第 2 の拡散防
止膜、19…第 3 の層間絶縁膜、20…第 2 の配線溝、21…第 2 のバリアメタル、22
…第 2 の Cu 配線。

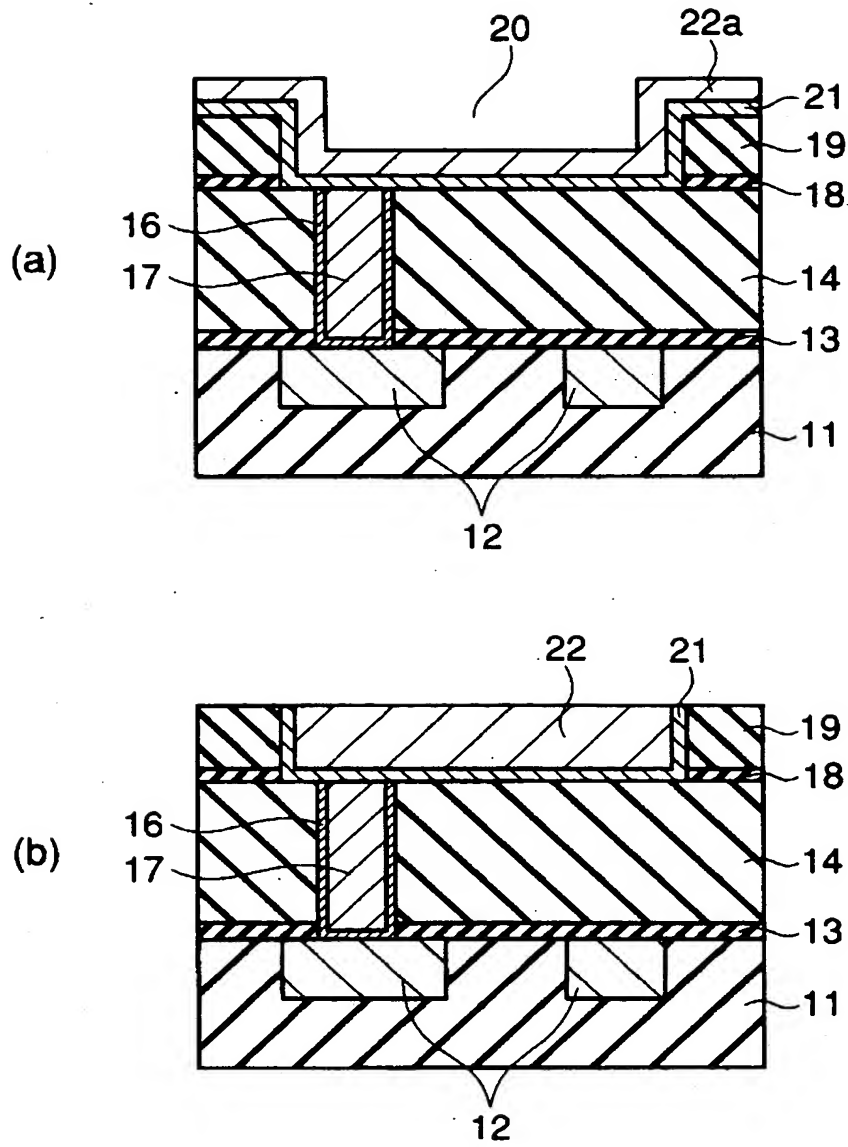
【書類名】

図面

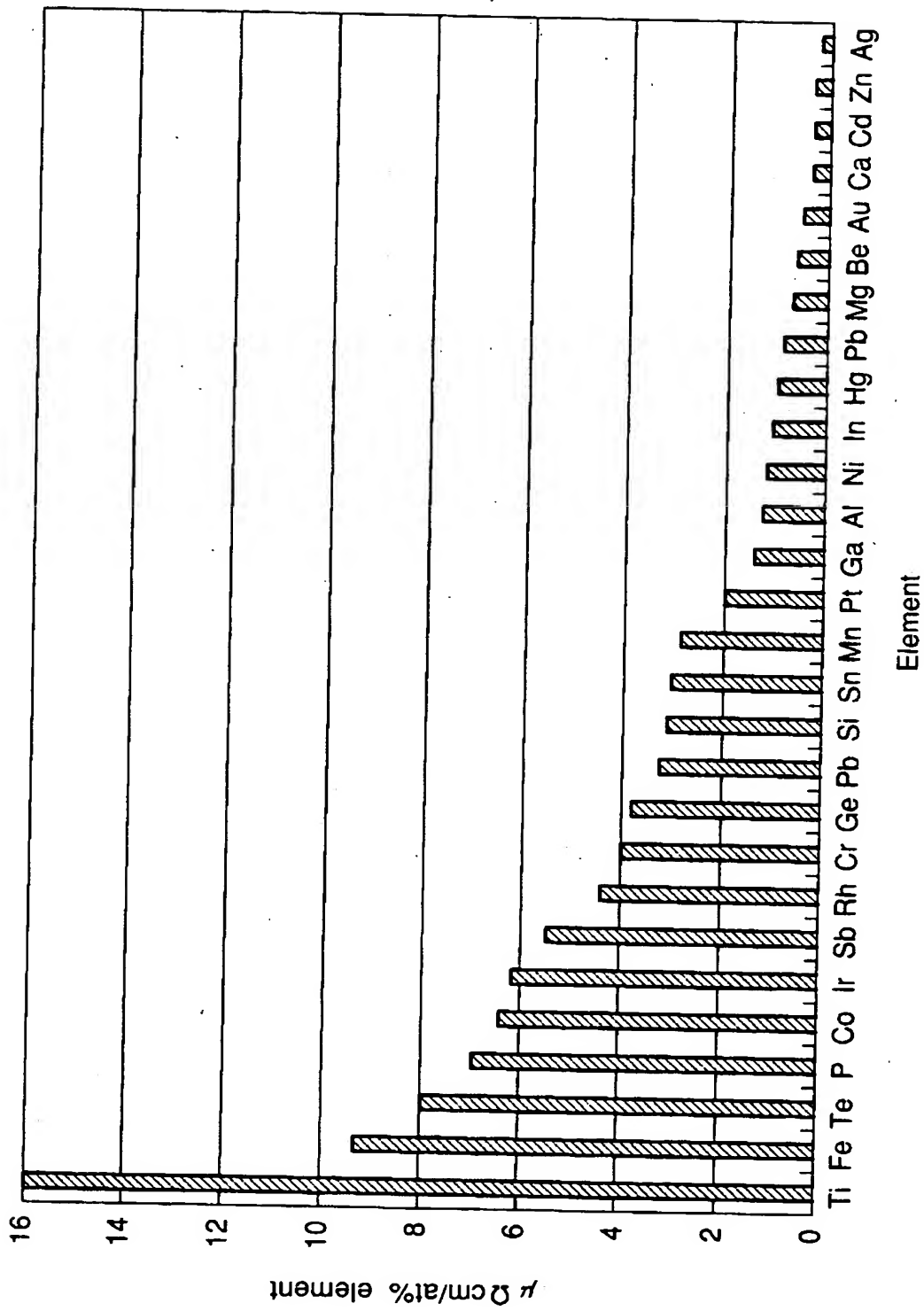
【図 1】



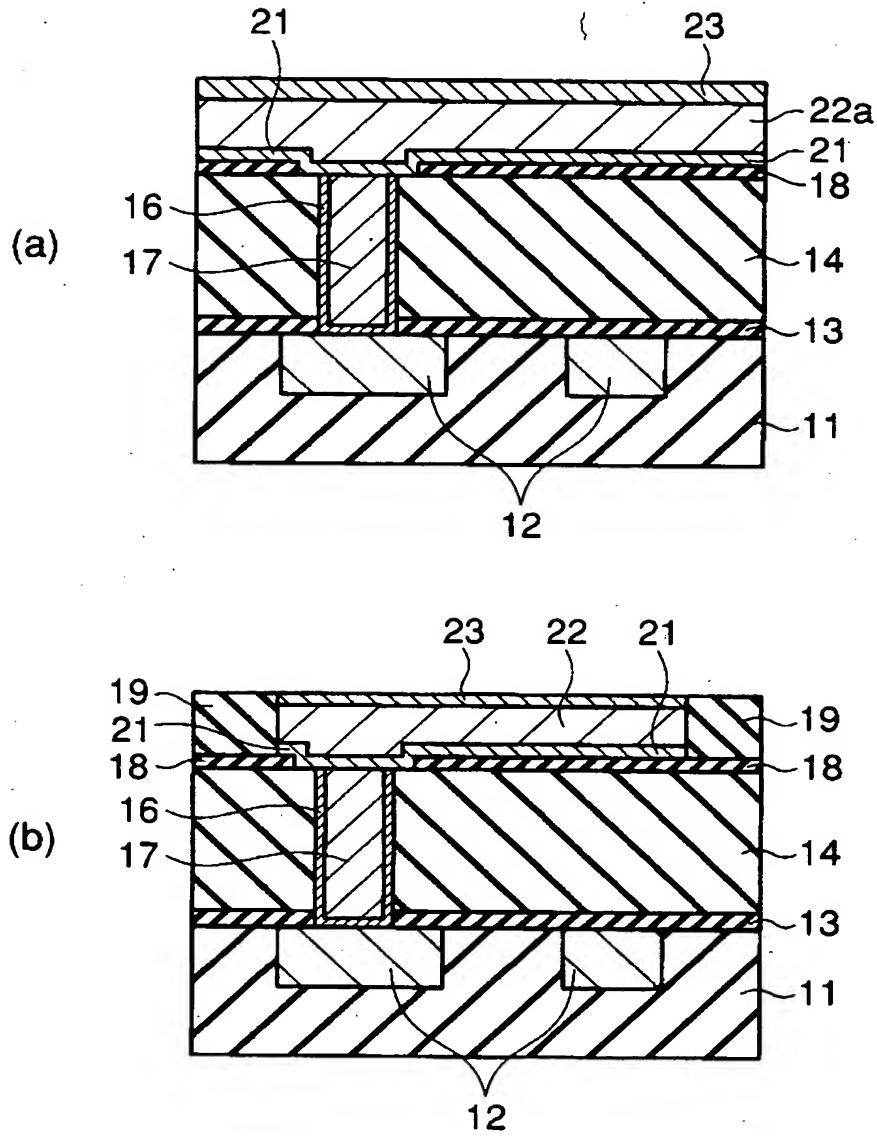
【図 2】



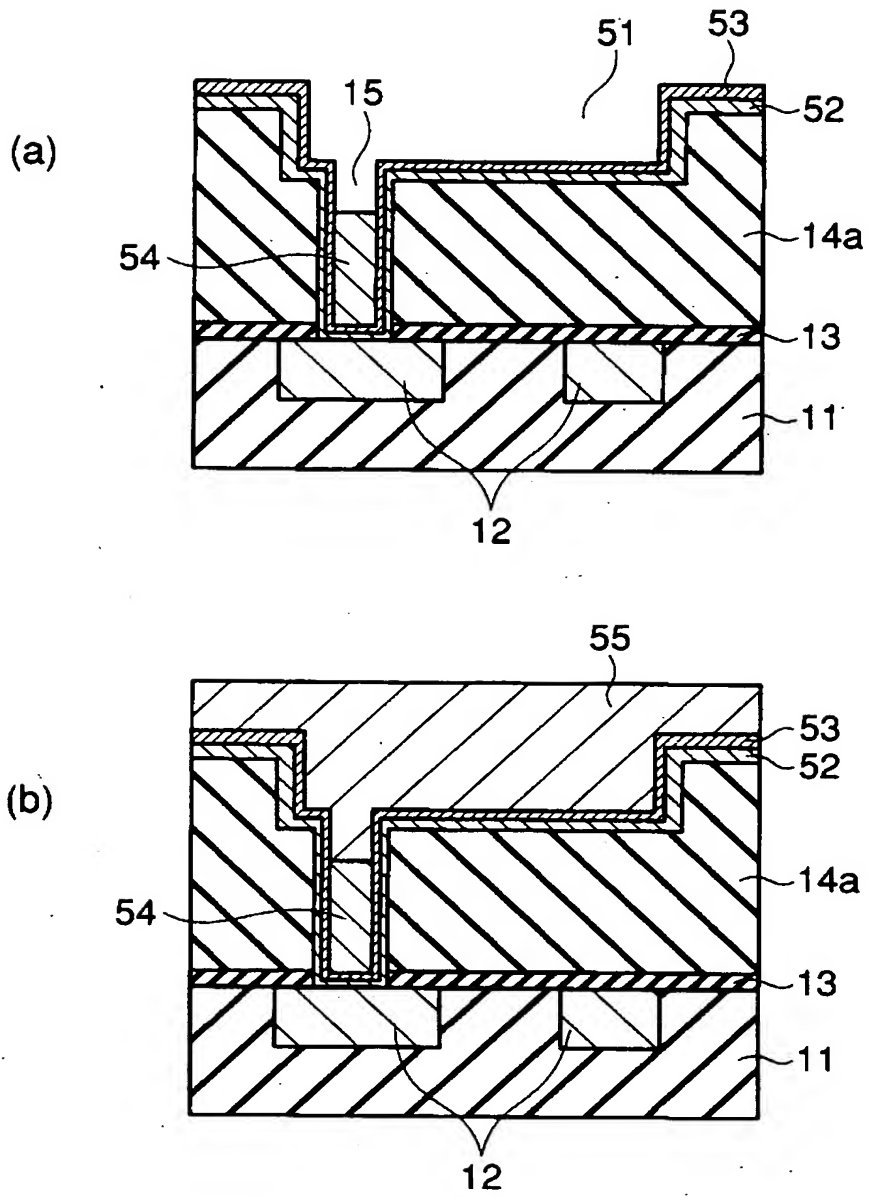
【図 3】



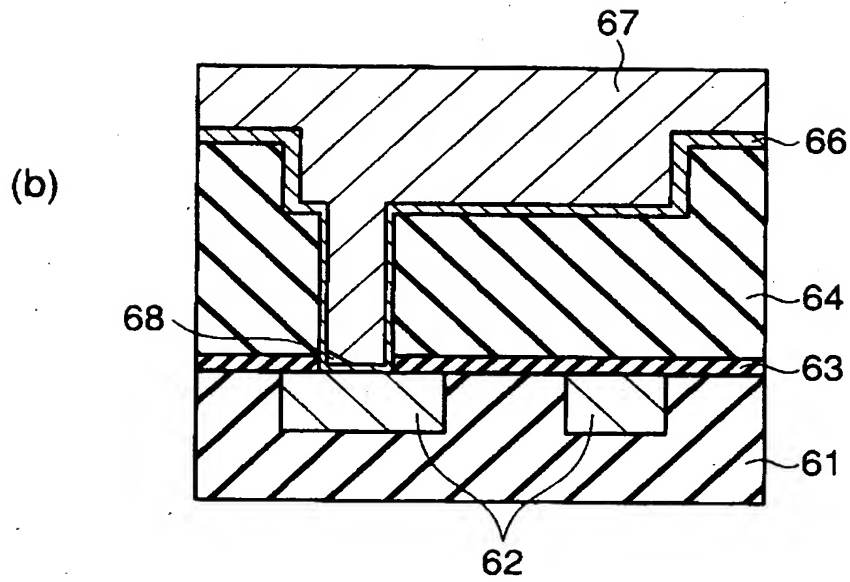
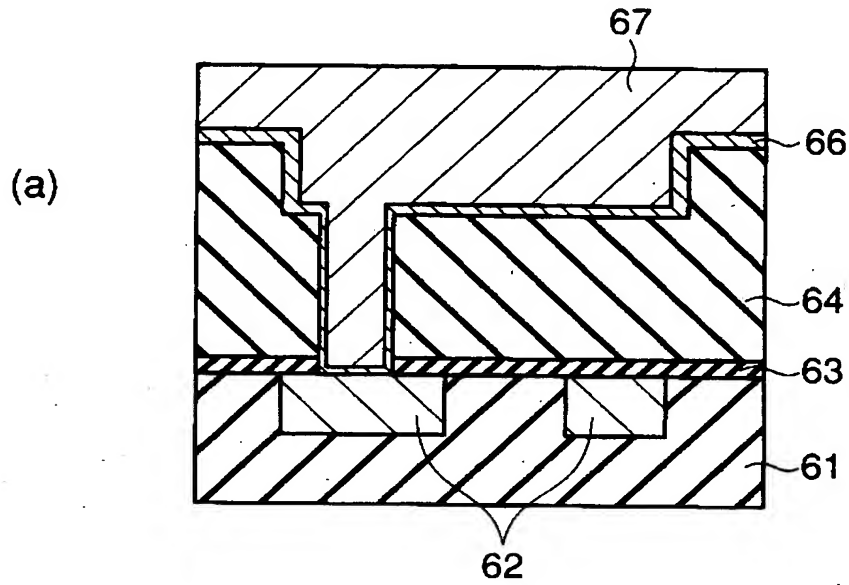
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】多層配線の配線抵抗の上昇を抑えながらビアマイグレーションの信頼性の向上を図る。

【解決手段】少なくとも2層の配線部12,22 およびその層間に形成されたビア部17に同一のメタル配線材料が用いられた多層配線を備えた半導体装置において、ビア部にはその上下の配線部に含まれていない添加物が含まれている。または、ビア部およびその上下の配線部に同一の添加物が含まれており、ビア部での添加物の濃度が配線部での添加物の濃度よりも高い。

【選択図】 図2

出 願 人 履 歷 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝